

HEINRICH·HERTZ·INSTITUT FÜR SCHWINGUNGSFORSCHUNG
BERLIN·CHARLOTTENBURG

Technischer Bericht Nr. 125

Eine Familie neuartiger hybrider Elemente für
nichtlineare Rechenoperationen – Pheno II

von

Dr. Ing. Klaus Waldschmidt

Berlin

1 9 7 0

Eine Familie neuartiger hybrider Elemente für

nichtlineare Rechenoperationen - Pheno II

Zusammenfassung

In diesem Bericht werden neue Prinzipien für alle nichtlinearen Rechenelemente eines Analog- oder Hybridrechners angegeben, deren Bandbreite-Genauigkeitsprodukt dem der linearen Elemente (Summierer, Integrierer) angeglichen werden kann. Durch Anwendung dieser neuen, hybriden Schaltungsprinzipien können Multiplizierer, Dividierer, allgemeine und spezielle Funktionsgeneratoren (wie z. B. Resolver) hergestellt werden, deren Fehler bis auf etwa 10^{-5} reduziert werden können. Ergänzt werden diese Elemente durch neuentwickelte hybride Integrierer, die ebenfalls bei sehr hoher Genauigkeit unbegrenzte Halteeigenschaften haben und neben der zeitlichen auch eine verallgemeinerte Integration durchführen können.

Heinrich-Hertz-Institut für Schwingungsforschung

Der Bearbeiter:

Klaus Waldschmidt

Dipl.-Ing. Klaus Waldschmidt



Der Abteilungsleiter:

W. Giloi

(Prof. Dr. Ing. W. Giloi)

Der Institutsdirektor:

P. Matthieu

(Prof. Dr. phil. P. Matthieu)

Inhaltsangabe

	Seite
1. Einführung	1
2. Prinzip	1
3. Möglichkeiten zur Darstellung des hybriden Codes	4
4. Resolver für die Transformation von Polar- in Kartesische Koordinaten und umgekehrt	4
5. Multiplikation	8
6. Division	9
7. Allgemeine Funktionserzeugung	10
8. Verallgemeinerte Integration und Integration nach der Zeit mit unbegrenz- ter Haltezeit	16
9. Technische Realisierung der Komponenten	20
10. Literaturverzeichnis	23

Übersicht über die Bilder

Abb. 1 : Prinzipschaltbild eines Rechenelementes nach der Taylorent- wicklung	1
Abb. 2 : Möglichkeiten zur Darstellung des hybriden Codes	4
Abb. 3 : Prinzipschaltbild des Resolvers für die Transformation von Polar- in Kartesische Koordinaten	6
Abb. 4 : Transformation von Kartesischen - in Polarkoordinaten	7
Abb. 5 : Prinzipschaltbild des Multiplizierers	8
Abb. 6 : Dividierer	10
Abb. 7 : Prinzipschaltbild des digital einstellbaren Funktionsgenerators . . .	12
Abb. 8 : Analoge Interpolation nach der Stirling' schen Näherungsformel . . .	14
Abb. 9 : Darstellung von Funktionen zweier unabhängiger Variabler mit dem digital einstellbaren Funktionsgenerator	15
Abb.10 : Unterteilung des Skalierungsbereiches nach Gl.19	17
Abb.11 : Prinzip-schaltbild des generalisierten Integrierers	18
Abb.12 : Schwimmender FET- Schalter	21
Abb.13 : FET- Schalter zur Durchschaltung mehrerer Referenzspannungen . .22	

1. Einführung

Die in dieser Arbeit vorgestellten Elemente zur Durchführung nichtlinearer Rechenoperationen stellen eine Verbindung analoger und digitaler Elemente dar. Durch diesen hybriden Aufbau verbindet man die Vorteile beider Techniken, die Bandbreite und kontinuierliche Darstellung der Variablen in der Analogtechnik und die Genauigkeit sowie den hohen Dynamikbereich der Digitaltechnik.

2. Prinzip

Der Algorithmus dieser hybriden Rechenelemente wird durch eine Reihenentwicklung der zu generierenden Funktion gebildet. Sind die Ableitungen der Funktion an jeder Stelle explizit bekannt, dann ist zur Darstellung die Taylorreihe geeignet.

$$f(x) = f(x_i) + \frac{x-x_i}{1!} f^{(1)}(x_i) + \frac{(x-x_i)^2}{2!} f^{(2)}(x_i) + \frac{(x-x_i)^3}{3!} f^{(3)}(x_i) + R_4 \quad (1)$$

Der gesamte Skalierungsbereich wird hiernach in einzelne Stützstellenbereiche zerlegt, wobei x_i die Stützstelle selbst und $\Delta x = x - x_i$ die Variable des Stützstellenbereiches darstellen. Alle Glieder der Taylorreihe sind in jedem Stützstellenbereich Funktionen von Δx und x_i , somit sind diese Glieder für jeden Stützstellenbereich einzeln nachzubilden. Dabei wird von der Tatsache ausgegangen, daß ein D/A-Umsetzer neben der eigentlichen Umsetzung auch zur Bildung der Funktionswerte bzw. deren Ableitungen an den Stützstellen herangezogen werden kann. Das Prinzipschaltbild eines Rechenelementes nach der Potenzreihenentwicklung ist in Abb. 1 dargestellt.

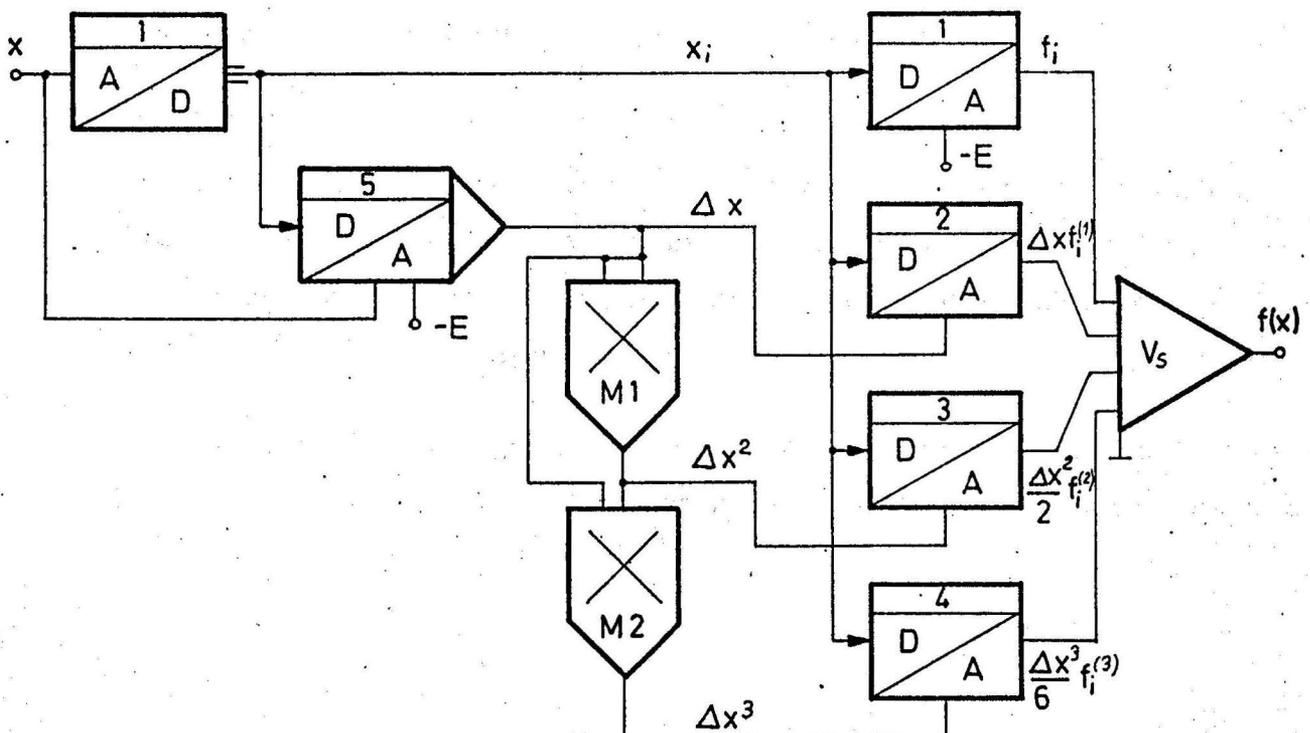


Abb.1 Prinzipschaltbild eines Rechenelementes nach der Taylorentwicklung

Die Werte der Ableitungen in der Reihenentwicklung $(f_i, f_i^{(1)}, f_i^{(2)}, f_i^{(3)})$ sind in den funktionsbewertenden D/A-Umsetzern 1 - 4 gespeichert, und zwar durch entsprechende Bewertungswiderstände. Die Multiplikation der Ableitungen mit den analogen Differenzgrößen $\Delta x, \Delta x^2, \Delta x^3$ wird hierbei über den Referenzeingang der DAU's vorgenommen. Im ADU 1 erfolgt die Bestimmung der Stützstellen x_i , im DAU 5 wird die Differenzbildung $(x-x_i)$ durchgeführt. Die Multiplizierer M1 und M2 werden zur Bildung der Potenzen von Δx in der Taylorreihenentwicklung benötigt.

Die Bestimmung der Stützstellen kann ungenau sein, da die Reihenentwicklung des vorangegangenen Intervalls eine Verschiebung des Einschaltpunktes der neuen Stützstelle ausgleicht. Ebenfalls wird für die Multiplizierer M1 und M2 nur eine mittlere Genauigkeit gefordert, da die Fehler dieser Elemente nur in Glieder höherer Ordnung eingehen. Es können an dieser Stelle daher einfache und billige Multiplizierer zum Einsatz kommen, die nach rein analogen Prinzipien arbeiten.

Das Verständnis dieser Komponenten, in denen die Werte teilweise analog, teilweise digital dargestellt werden, erfordert einige grundsätzliche Überlegungen zur Arbeitsweise der A/D- und D/A-Umsetzer.

Der Vorgang der Analog-Digital-Umsetzung entspricht dem einer Division. $\overline{\underline{2}}$
Es wird hierbei eine Zahl Q gesucht, die die Gleichung $dQ=r$ erfüllt ($d \neq 0$). Bei der Division in einem AD-Umsetzer sind der Dividend r und der Divisor d Analogwerte, sodaß für eine Zahl Q mit endlich vielen Stellen die Gleichung $d \cdot Q = r$ nicht immer erfüllt werden kann. Man erhält einen Rest

$$R = r - dQ \quad (d \neq 0) \quad (2)$$

Bei der normalen AD-Umsetzung ist die Zahl Q nun so zu bestimmen, daß der Rest einen möglichst kleinen Wert annimmt. Dies erfordert eine der Genauigkeit entsprechend feine Quantisierung. (Für einen Quantisierungsfehler von max. $1 \cdot 10^{-4}$ werden z. B. 14 Bits benötigt)

Im vorliegenden Fall dagegen wird der Rest analog gebildet, in den Multiplizierern M1 und M2 potenziert und in den ausgangsseitigen D/A-Umsetzern entsprechend

der Reihenentwicklung summiert. Die Verarbeitung des analogen Restes Δx erfolgt parallel zum digitalen Steuerwerk. Da die Forderung nach einem möglichst kleinen Rest nicht mehr besteht, kann die erforderliche digitale Wortlänge und damit der Aufwand in den AD- und DA-Umsetzern erheblich eingeschränkt werden.

Gegenüber den bekannten linear approximierenden Elementen kann nach diesem Verfahren jede gewünschte Approximationsgenauigkeit oberhalb der Auflösung des summierenden Ausgangsverstärkers erreicht werden. Die Anzahl der Stützstellen und damit die Stützstellenweiten $\Delta x_i = x_{i+1} - x_i$ sind durch die gewünschte Approximationsgenauigkeit, durch die Anzahl der Glieder der Taylorreihe und durch den Fehler der analogen Multiplizierer M1 und M2 gegeben. Nach diesem Verfahren sind die Operationen Multiplikation/Division, die Transformation von Polar- in Kartesische Koordinaten und umgekehrt sowie eine allgemeine Funktionsgenerierung durchgeführt und erprobt worden.

Für eine Approximationsgenauigkeit z. B. von $1 \cdot 10^{-4}$, bezogen auf den Endwert von 10 V, wird für die Operationen Multiplikation/Division und die Koordinatentransformation eine digitale Wortlänge von 3 BITS benötigt. Hierbei sind vier Glieder der Reihe berücksichtigt und die Fehler der Multiplizierer M1 und M2 mit $\pm 1\%$ angenommen.

Die Bandbreite der genannten Komponenten ist auf Grund der Tatsache, daß erstens nur eine sehr kleine digitale Wortlänge (z. B. 3 BITS) umzusetzen sind und zweitens der bei der AD-Umsetzung auftretende Rest $\Delta x = x - x_i$ analog verarbeitet wird, außerordentlich gut. Sie ist im wesentlichen gegeben durch die Einschwingzeiten der D/A-Schalter, der Bandbreite der Operationsverstärker in den D/A-Umsetzern sowie durch die Bandbreite der analogen Multiplizierer M1 und M2.

Man erhält insgesamt ein Bandbreite-Genauigkeitsprodukt, das dem der linearen Elemente in einem Analog- oder Hybridsystem angepaßt ist.

3. Möglichkeiten zur Darstellung des hybriden Codes

Die einfachste Form ist hierbei die lineare Interpolation zwischen jeder Stützstelle. Man erhält: $x = x_i + \Delta x$ (Abb. 2a). Der Aufwand an Stützstellen und damit an hochgenauen Rechenwiderständen wird halbiert, wenn symmetrisch zu einer Stützstelle interpoliert wird. Dieser Fall ist in Abb. 2b dargestellt: $x = x_i \pm \Delta x$. Nachteilig bei Fall a) und b) ist, daß an jeder Umschaltstelle die Funktion von +1 nach 0 bzw. -1 springt, der Operationsverstärker im DAU also an jeder Umschaltstelle auf einen neuen Wert einlaufen muß. Fall c) zeigt einen Code, der diesen Nachteil vermeidet. Allerdings ist hierbei der Aufwand größer, da die beiden Funktionen $\Delta x'$ und $\Delta x''$ erzeugt werden müssen. / 4 /

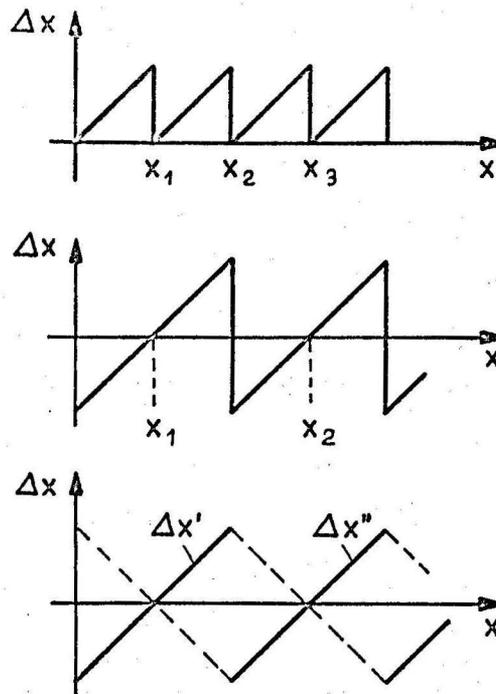


Abb. 2 Möglichkeiten zur Darstellung des hybriden Codes

4. Resolver für die Transformation von Polar- in Kartesische Koordinaten und umgekehrt

Bei der Transformation von Polar- in Kartesische Koordinaten sind die Polar-koordinaten R und Θ eines Punktes P gegeben, gesucht sind seine kartesischen Koordinaten x und y . Das Kernstück eines derartigen Resolvers bilden naturgemäß die \sin - \cos Funktionsgeneratoren.

Entwickelt man die Funktionen in eine Taylorreihe, dann erhält man:

$$\sin\theta = \sin\theta_i + \Delta\theta\cos\theta_i - \frac{\Delta\theta^2}{2}\sin\theta_i - \frac{\Delta\theta^3}{6}\cos\theta_i \dots = \sin\theta_i + \sum_{N=1}^{\infty} \frac{(\theta-\theta_i)^N}{N!} f^{(N)}(\theta_i) \quad (3)$$

$$\cos\theta = \cos\theta_i - \Delta\theta\sin\theta_i - \frac{\Delta\theta^2}{2}\cos\theta_i + \frac{\Delta\theta^3}{6}\sin\theta_i \dots = \cos\theta_i + \sum_{N=1}^{\infty} \frac{(\theta-\theta_i)^N}{N!} f^{(N)}(\theta_i) \quad (4)$$

Diese Reihen sind "beständig konvergent", d. h., sie konvergieren für alle positiven und negativen θ -Werte. Die Approximationsgenauigkeit ist hierbei außerordentlich gut, da die Kurven in ihrer ganzen Länge von den Reihenparabeln angenähert werden. Bei Berücksichtigung der ersten vier Glieder der Reihe und einer digitalen Wortlänge von 3 BIT ist der Abbruchfehler kleiner als $1 \cdot 10^{-5}$ und kann daher unberücksichtigt bleiben.

Da beide Taylorentwicklungen für $\sin\theta$ und $\cos\theta$ sehr ähnlich sind, können der ADU für die Stützstellenerfassung und der DAU für die Bildung der Differenzen $\Delta\theta$ sowie die Multiplizierer M1 und M2 für beide Funktionsgeneratoren gemeinsam verwendet werden. Die Periodizität der Funktionen gestattet es weiterhin, die eigentliche Reihenentwicklung im Intervall $0 \leq \theta \leq \frac{\tilde{\pi}}{2}$ durchzuführen und durch eine einseitige Betragsbildung mit Bereichserweiterung den Definitionsbereich auf $-\tilde{\pi} \leq \theta \leq +\tilde{\pi}$ zu erweitern.

Der Resolver kann grundsätzlich aus einem Funktionsgenerator für die trigonometrischen Funktionen und je einem Präzisionsmultiplizierer für den Radius R zusammengesetzt werden. Das Verfahren der Reihenentwicklung bietet hier jedoch die Möglichkeit für eine technisch einfachere Lösung. Multipliziert man die einzelnen Glieder der Reihe mit R, dann erhält man:

$$x = R\sin\theta = R\sin\theta_i + R\Delta\theta\cos\theta_i - \frac{R\Delta\theta^2}{2}\sin\theta_i - \frac{R\Delta\theta^3}{6}\cos\theta_i \quad (5)$$

Die Multiplikation des Radiusvektors R mit den Stützstellenwerten $\sin\theta_i$ bzw. $\cos\theta_i$ kann über den Referenzeingang des DAU 1 (Abb. 1) und damit sehr genau durchgeführt werden. Die Größen $R\Delta\theta^i$ dagegen werden durch Multiplikation des $\Delta\theta$ mit R gebildet. Dies erfordert einen zusätzlichen Multiplizierer, der jedoch ebenfalls für beide Funktionen gemeinsam verwendet werden kann.

Der wesentliche Vorteil dieses Verfahrens besteht darin, daß erstens nur ein zusätzlicher Multiplizierer benötigt wird und zweitens die Genauigkeit dieses Multiplizierers kleiner sein kann als die geforderte Gesamtgenauigkeit des Resolvers. Für 6 Stützstellen und einem hybriden Code nach Abb. 2b oder 2c beträgt die erforderliche Genauigkeit des Resolvermultiplizierers nur ca. 1/12 der Gesamtgenauigkeit.

Das Prinzipschaltbild des Resolvers Abb. 3 ist für den Bereich $0 \leq \theta \leq \frac{\pi}{2}$ dargestellt. Die in Abb. 1 dargestellten vier D/A-Umsetzer zur Bildung der einzelnen Reihenglieder sind hier zu einem Umsetzer mit vier Referenzeingängen zusammengefaßt. Dies ist möglich, da in einem Stützstellenbereich alle vier Referenzen R , $R \cdot \Delta\theta$, $R \Delta\theta^2$, $R \Delta\theta^3$ mit einem Schalter durchgeschaltet werden können.

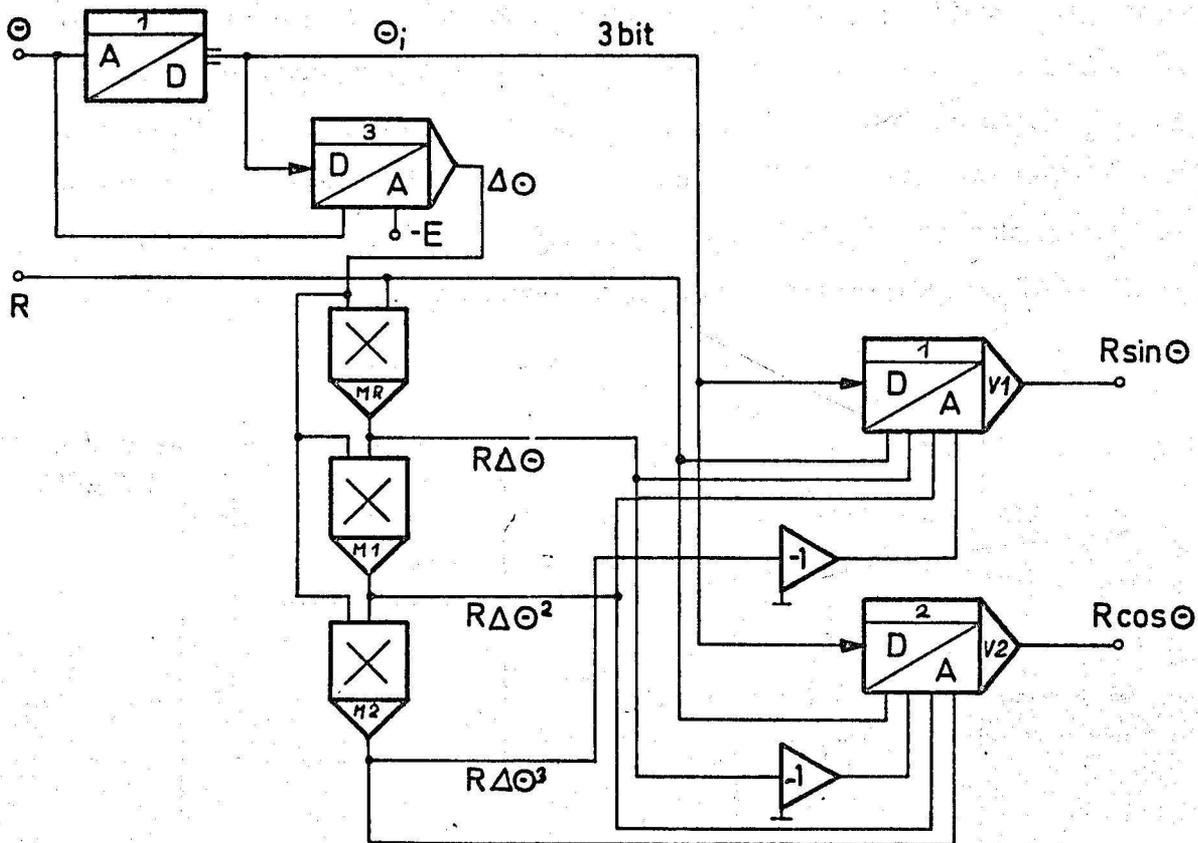


Abb. 3 Prinzipschaltbild des Resolvers für die Transformation von Polarkoordinaten in Kartesische Koordinaten

Der in Abb. 3 dargestellte Resolver kann als geschlossene Einheit sowohl für die Transformation von Polar- in Kartesische Koordinaten als auch in umgekehrter Richtung eingesetzt werden. Für beide Transformationsrichtungen werden im Gegensatz zu bisher bekannten Verfahren die gleichen Beziehungen zugrunde gelegt.

Transformation von Polar- in Kartesische Koordinaten

$$x = R \cos \theta \quad (7)$$

$$y = R \sin \theta \quad (8)$$

Transformation von Kartesischen- in Polarkoordinaten

$$R = \frac{x}{\cos \theta}$$

$$\theta = \arcsin y/R$$

Die Funktion des \arcsin erhält man, indem der \sin - Funktionsgenerator in der Rückführung eines Operationsverstärkers betrieben wird. Hierfür kann der summierende Ausgangsverstärker V1 (Abb. 3) verwendet werden, indem der Rückführwiderstand R_v ausgangsseitig abgetrennt und das Ausgangssignal auf den Eingang der Funktionsgeneratoren zurückgeführt wird. Der Rückführwiderstand R_v ist dann der Eingangswiderstand für die Größe y .

Den Radiusvektor R erhält man, indem das Ausgangssignal des Verstärkers V2 an den Referenzeingang des Funktionsgenerators geschaltet wird. Dieser Referenzeingang ist, wie bereits besprochen, für beide Funktionsgeneratoren gemeinsam und dient ebenfalls bei der Transformation von Polar- in Kartesische Koordinaten als Eingang für den Radius R . Der abgetrennte Rückführwiderstand des Verstärkers V2 ist hier der Eingangswiderstand für die Signalgröße x . (Abb. 4)

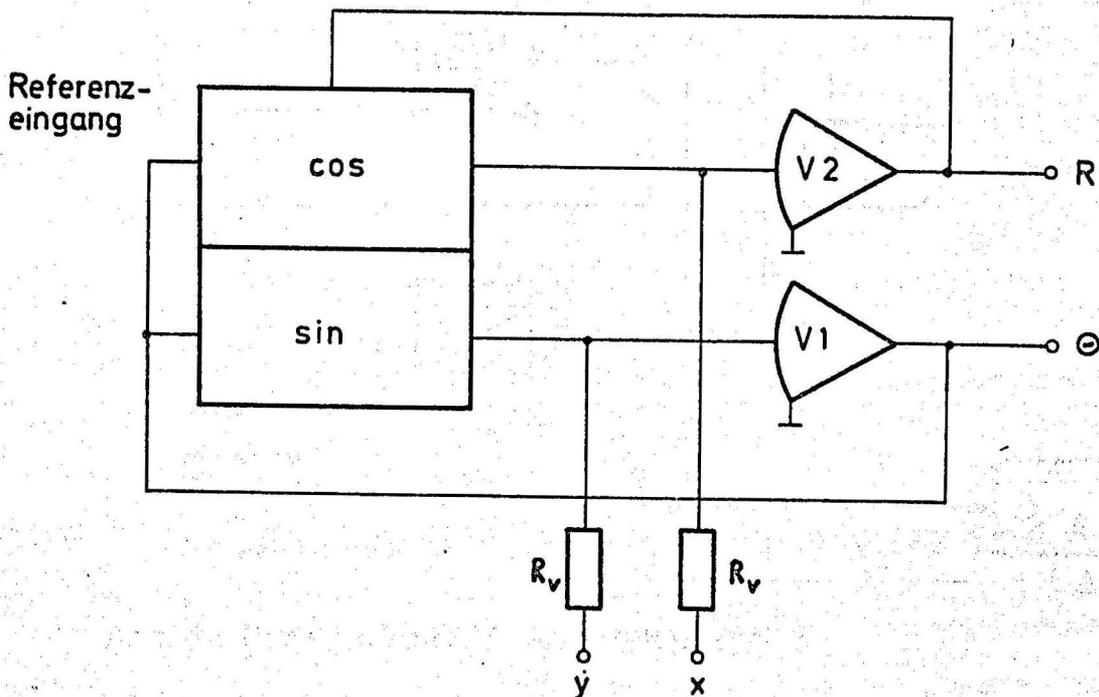


Abb. 4 Transformation von Kartesischen Koordinaten in Polarkoordinaten

5. Multiplikation

Die Taylorentwicklung für die Funktion $z = f(x, y) = x \cdot y$ ergibt:

$$f(x, y) = x_i y_i + x_i \Delta y + y_i \Delta x + \Delta x \Delta y \quad (11)$$

Da alle weiteren Glieder einschließlich des Restgliedes verschwinden, kann die Multiplikation hiernach ohne prinzipiellen Fehler durchgeführt werden. Die Anzahl der erforderlichen Stützstellen für eine bestimmte Approximationsgenauigkeit wird allein durch den Multiplikationsfehler bei der Bildung des Produktes $\Delta x \Delta y$ bestimmt. Alle weiteren Glieder werden wie im Falle des Resolvers durch D/A Umsetzer gebildet (Abb. 5) Hierbei können die ersten beiden Glieder der Taylorreihe zusammengefaßt und durch einen gemeinsamen DAU gebildet werden.

$$f(x, y) = xy = yx_i + y_i \Delta x + \Delta x \Delta y \quad (12)$$

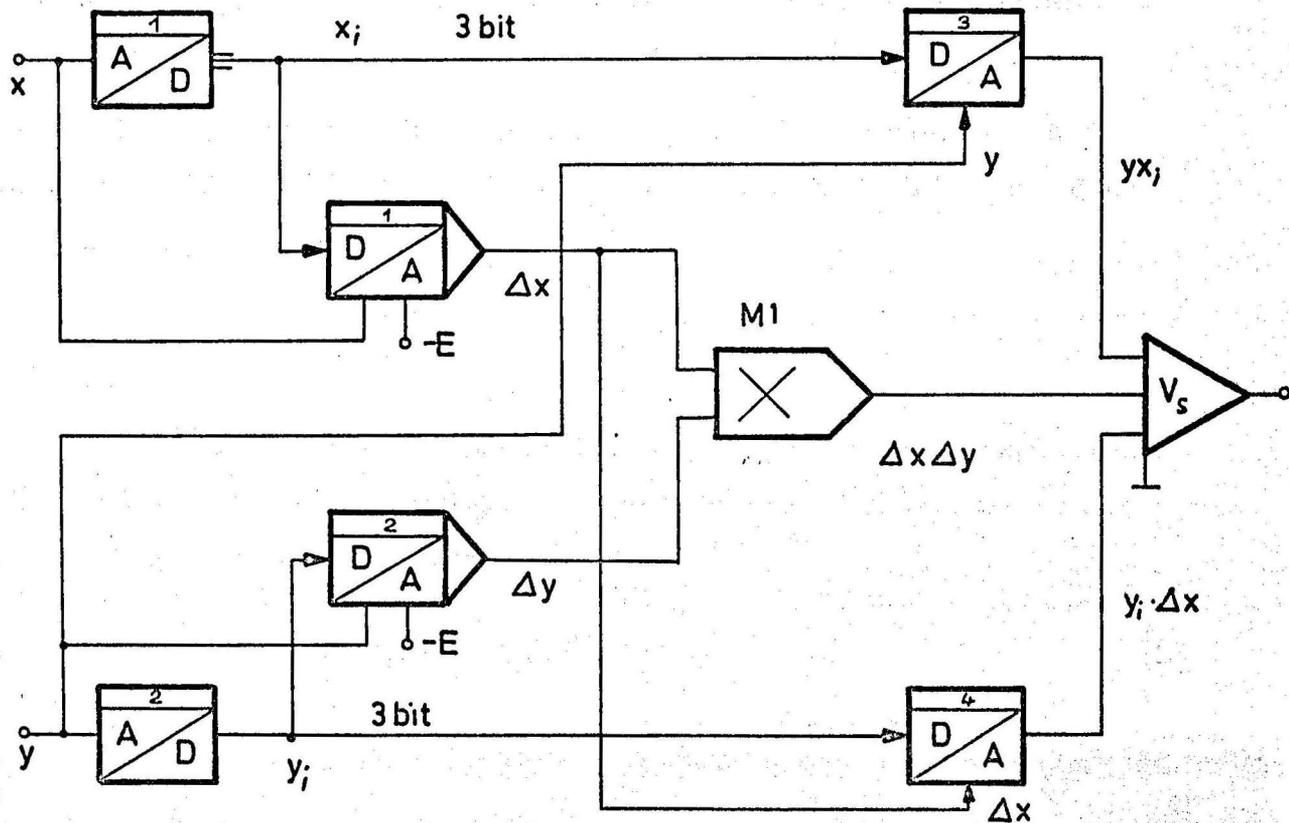


Abb. 5 Prinzipschaltbild des Multiplizierers

In der Taylorentwicklung des Produktes $x \cdot y$ sind nur lineare Kombinationen enthalten, so daß eine äquidistante Stützstellenverteilung vorgesehen werden kann. Dadurch wird eine Mehrfachausnutzung der Bewertungswiderstände in den DAU's entsprechend einer binären Abstufung ermöglicht. Insgesamt werden für eine Genauigkeit von $1 \cdot 10^{-4}$ 5 Stützstellen benötigt, wobei die Genauigkeit des Multiplizierers M1 zur Bildung des Produktes $\Delta x \Delta y$ mit ± 1 % angesetzt wurde. Zur besseren Ausnutzung der hierfür erforderlichen digitalen Wortlänge von 3 BITs wurde die Stützstellenanzahl auf 7 erhöht. Dies bedeutet selbstverständlich keinen Mehraufwand an elektronischen Schaltern und Bewertungswiderständen in den DAU's.

Ähnlich wie beim Resolver ist auch hier eine Mehrfachausnutzung der Ansteuerungseinheit (Stützstellenerfassung, Differenzbildung) möglich. Auf diese Weise lassen sich entsprechend viele Produkte mit verschiedenen Multiplikanden und einem gemeinsamen Multiplikator x bilden. Dies entspricht dem bekannten Servo-Multiplizierer, bei dem außer dem Nachführpotentiometer weitere Potentiometer auf einer gemeinsamen Welle angeordnet werden können. Zu jedem Kanal gehört eine A/D-Umsetzung mit Differenzbildung sowie die Bewertungsnetzwerke für $\Delta x \cdot y_i$ und $y x_i$ mit den zugehörigen D/A-Schaltern und einem Multiplizierer geringer Genauigkeit (z. B. ± 1 %).

Allen Kanälen gemeinsam ist die A/D-Umsetzung mit Differenzbildung für den gemeinsamen Multiplikator und die Treiberstufen für die D/A-Schalter in den entsprechenden D/A-Umsetzern.

6. Division

Die einfachste und meist benutzte Möglichkeit zur Division von Rechenspannungen besteht in der Umkehrung der Multiplikation mittels einer Rückführungsschleife. Man löst die algebraische Gleichung

$$zx \pm y = 0 \quad (13)$$

und gewinnt damit durch Umkehrung der Multiplikation den Quotienten

$$z = \pm \frac{y}{x} \quad (14)$$

Die Rechenschaltungen, die diese Aufgabe lösen, sind Regelschleifen, die die Summe aus Multipliziererausgangsspannung zx und Eingangsspannung y gegen Null regeln. Bei dem beschriebenen Multiplizierer werden die einzelnen Glieder des Multiplikationsalgorithmus mit Hilfe von entsprechenden Netzwerken und Verstärkern gebildet und dann in einem Ausgangsverstärker V_S aufsummiert. Dieser Verstärker kann nun bei der Division gleichzeitig die Aufgabe übernehmen, die Summe aus Multipliziererspannung zx und Eingangsspannung y gegen Null zu regeln. Hierfür wird der Rückführwiderstand R_V ausgangsseitig abgetrennt und an ihm die Eingangsgröße y angelegt. Der Ausgang des Verstärkers V_S wird auf den y -Eingang des Multiplizierers zurückgeführt.

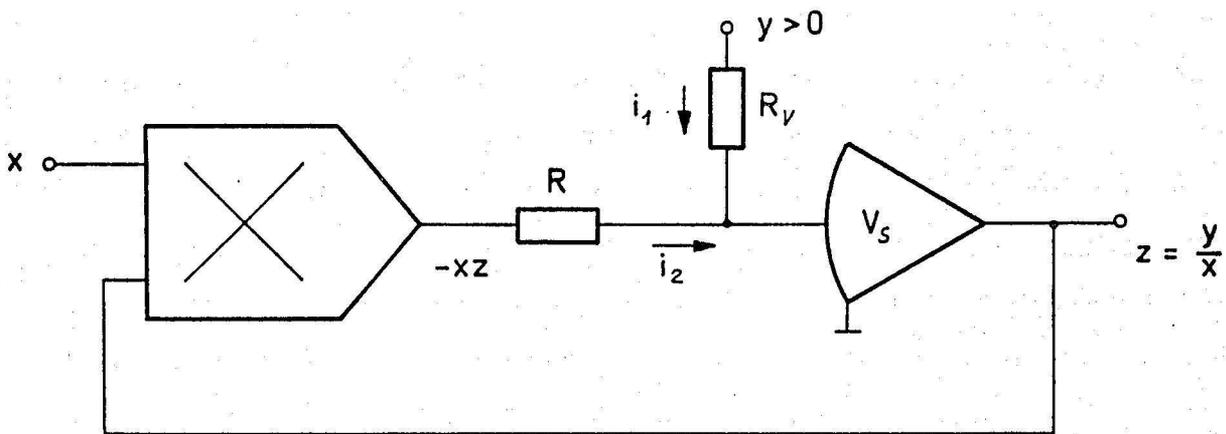


Abb. 6 Dividierer

7. Allgemeine Funktionserzeugung

Die Erzeugung einer beliebigen Funktion $f(x)$ nach dem Verfahren der diskreten Stützstellenverteilung mit einer Potenzreihenentwicklung innerhalb des Intervalles zweier Stützstellen erfordert die Kenntnis der Funktionswerte an den Stützstellen sowie deren Ableitungen. Da die Werte der Ableitungen bei einer beliebigen Funktion meistens explizit nicht bekannt sind, werden diese durch die Funktionswerte selbst ersetzt. Dies bedeutet, daß die Funktionsableitungen in der Taylor-Entwicklung durch die Differenzen ersetzt werden müssen. Man erhält die Stirling'sche Näherungsformel:

$$f(x) = f_i + \frac{f_{i+1} - f_{i-1}}{2} \frac{\Delta x}{h} + \frac{f_{i+1} + f_{i-1} - 2f_i}{2} \frac{\Delta x^2}{h^2} + R_3 \quad (15)$$

Die Entwicklung der Funktion in einem Intervall erfordert hiernach die Funktionswerte, und zwar die an den Intervallgrenzen liegenden Funktionswerte f_{i-1} und f_{i+1} und den eigentlichen Stützstellenwert f_i . Diese Funktionswerte ließen sich prinzipiell durch Potentiometer zur Verfügung stellen, die auf den Funktionswert eingestellt und über ein Schaltnetzwerk angewählt werden. Dieses Schaltnetzwerk kann eingespart werden, wenn die Funktionswerte von einem digitalen Speicher ausgegeben werden. Bei einem Einsatz des Funktionsgenerators in einem Hybrid-System hat dies gleichzeitig den Vorteil, daß die Funktionswerte während des Rechenvorganges durch den Digitalrechner korrigiert werden können.

Die im Speicher stehende binär codierte Information wird hierbei mittels D/A-Umsetzer dem analogen Interpolationsnetzwerk, das die Reihenentwicklung durchführt, zugeführt. Da in einem Stützstellenbereich gleichzeitig 3 Funktionswerte vorliegen müssen, werden 3 D/A-Umsetzer benötigt. Diese D/A-Umsetzer können fest mit dem Interpolationsnetzwerk verbunden sein, da bei einem Übergang in den nächsten Stützstellenbereich die Information im Speicher verschoben werden kann. Der Speicher wird zu diesem Zweck aus integrierten Vor-Rückwärts-Schieberegistern aufgebaut.

Der prinzipielle Aufbau eines derartigen digital einstellbaren Funktionsgenerators ist in Abb. 7 dargestellt.

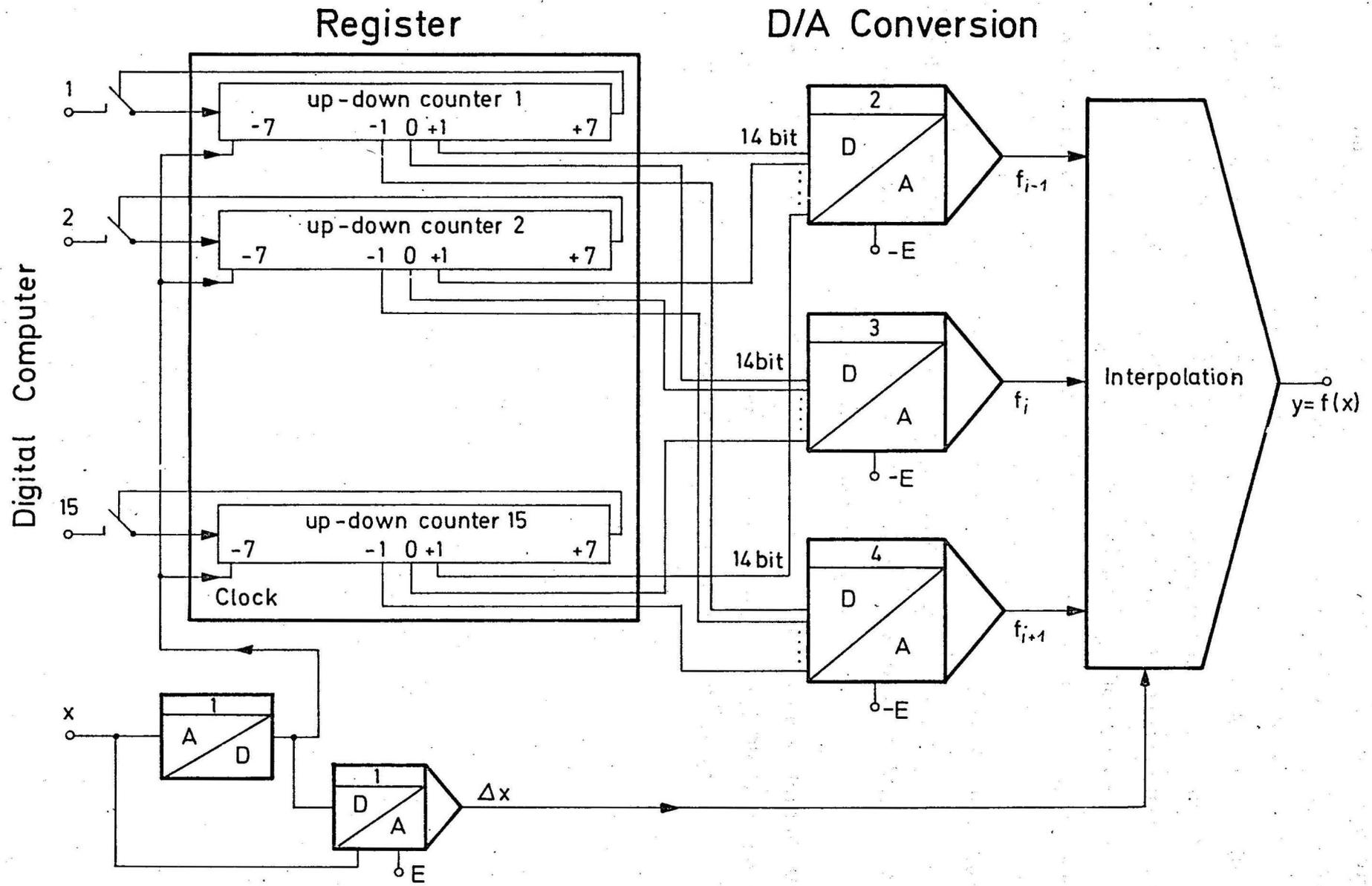


Abb. 7. Prinzipschaltbild des digital einstellbaren Funktionsgenerators

Die Anwahl der Stützstellen erfolgt wie beim Resolver und Multiplizierer durch einen ADU, dessen Takt gleichzeitig zum Verschieben der Information im Speicher verwendet wird. Die Funktionswerte werden in den Speicher mit 14 BITS + Vorzeichenbit eingelesen, was einer Genauigkeit von $1 \cdot 10^{-4}$ auf der Analogseite der D/A - Umsetzer entspricht. Insgesamt sind 15 äquidistant verteilte Stützstellen für den Skalierungsbereich von -1 bis +1 vorgesehen. Bei periodischen Funktionen können die letzten beiden Stützstellen f_{-7} und f_{+7} eingespart werden, da der jeweils letzte Stützstellenwert dann am Anfang des Registers zur Verfügung steht.

Der gesamte Funktionsgenerator erfordert bis auf die Nullung der Verstärker und den einmaligen Abgleich der D/A - Umsetzer keinen weiteren Abgleichaufwand. Dies ist ein entscheidender Vorteil gegenüber den Diodenfunktionsgebern, deren einzelne Strecken miteinander verkoppelt sind.

Die analoge Interpolation erfolgt nach der Stirling'schen Näherungsformel (Gl.15) (Abb. 8), die nach dem quadratischen Glied abgebrochen wird. Die Berücksichtigung weiterer Glieder wäre vom Aufwand her nicht mehr vertretbar.

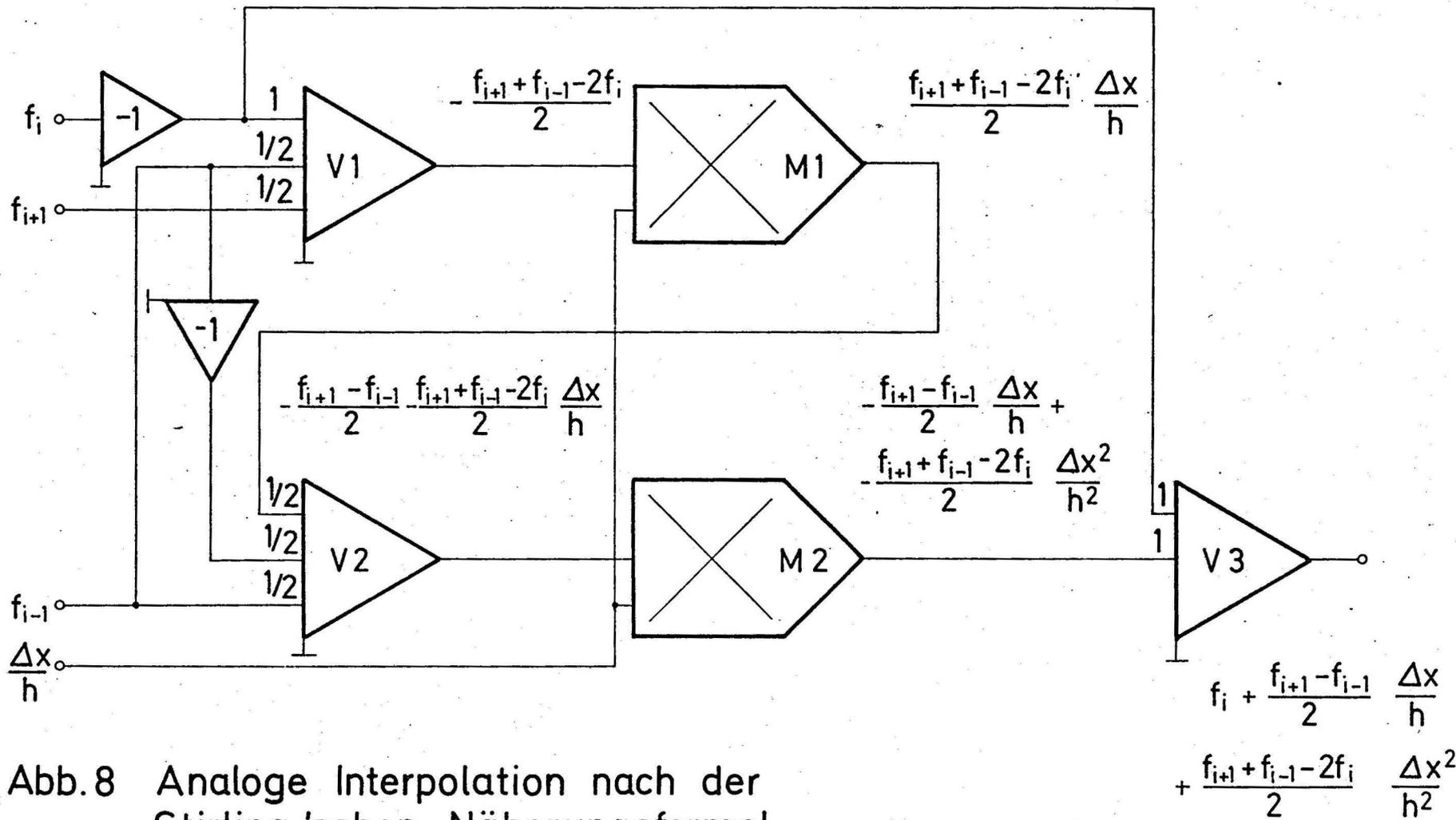


Abb.8 Analoge Interpolation nach der Stirling'schen Näherungsformel

Das Konzept des hybriden Funktionsgenerators ermöglicht die Darstellung von Funktionen zweier oder mehrerer unabhängiger Variabler, wenn ein zweiter oder mehrere Funktionsgeneratoren zur Verfügung stehen. Zur Darstellung einer Funktion zweier unabhängiger Variabler wird der Ausgang des zweiten Funktionsgenerators mit den Referenzeingängen der drei D/A-Umsetzer des hybriden Funktionsgenerators verbunden. Man erhält wahlweise die Funktionen -

$$f(x, y) = f_1(x) \cdot f_2(y) \qquad f(x, y) = f_1(x)f_2(y) + a_1 f_1(x) \qquad (16)$$

$$f(x, y) = a_1 f_1(x) + a_2 f_2(y) \qquad f(x, y) = f_1(x)f_2(y) + a_2 f_2(y)$$

- die in sehr vielen Fällen eine ausreichende Näherung der zu generierenden Funktion $f(x, y)$ darstellen. Der zur Erzeugung der Funktion $f_2(y)$ benötigte Funktionsgenerator kann z. B. ein Diodenfunktionsgenerator oder auch ein Generator für feste Funktionen (Sinus, Dreieck, Rechteck) sein. Funktionen mehrerer unabhängiger Variabler können nach dem gleichen Verfahren erzeugt werden.

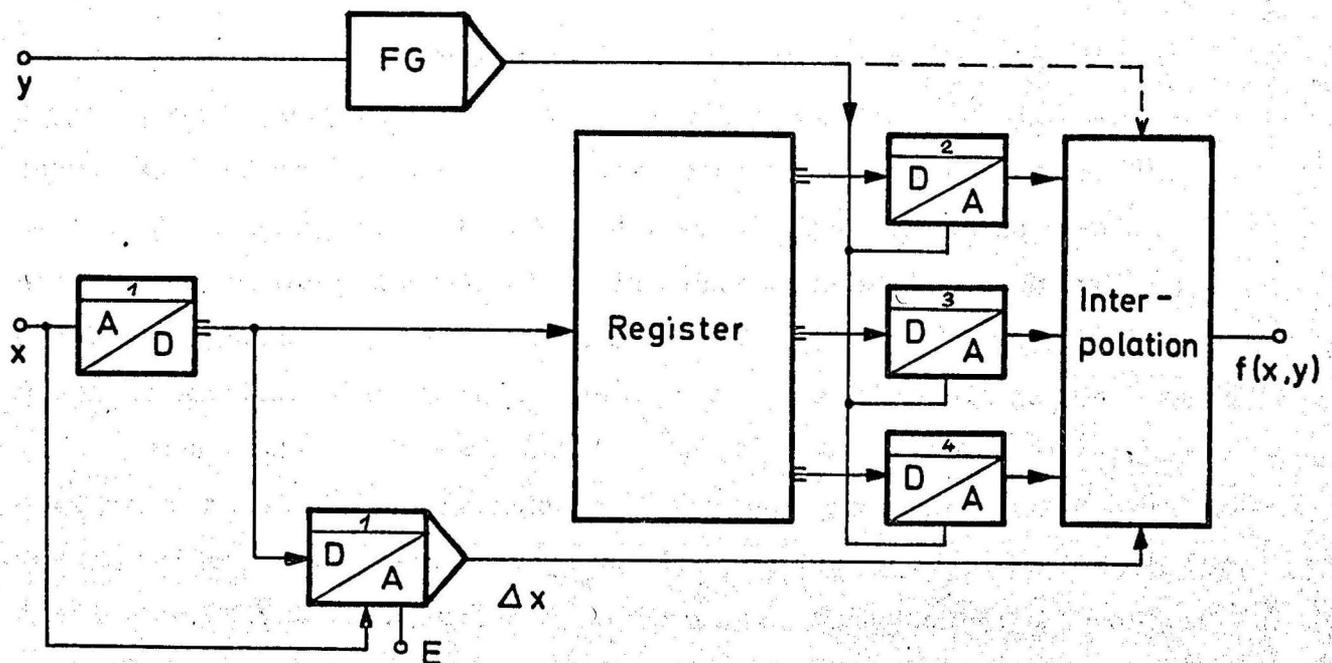


Abb. 9 Darstellung von Funktionen zweier unabhängiger Variabler mit dem digital einstellbaren Funktionsgenerator

Damit kann für Gl. 19 geschrieben werden

$$I = \int_{x=0}^{x(t)} y dx = \sum_{\mu=0}^{\mu(x)} K_{\mu} F_I + \sum_{\nu=1}^{\nu} \int_{\nu-1}^{\nu} \Delta y dx + \int_{\nu}^{\nu+1} \Delta y dx \quad (20)$$

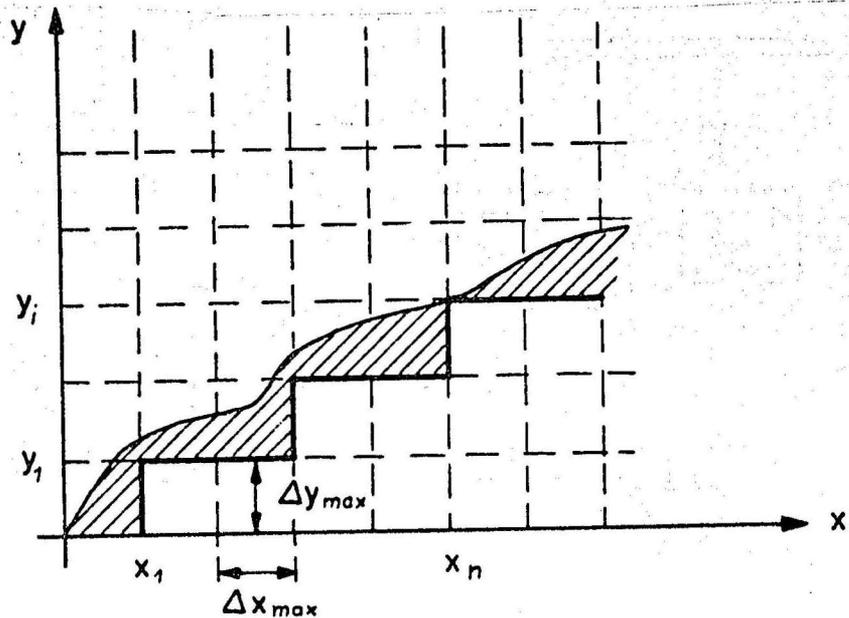


Abb. 10 Unterteilung des Skalierungsbereiches nach Gl. 19

Der Fehler, der durch das Integral $\int_{\nu}^{\nu+1} \Delta y dx$ verursacht wird, ist in Gl. 20 lediglich noch auf den Wert eines Flächeninkrements bezogen. Bei 10 Stützstellen kann der Fehler des Integrals max. 1% betragen. Zur Bildung des Integrals können daher einfache analoge Prinzipien angewandt werden.

Das gesamte übrige Integralergebnis steht mit der vollen Genauigkeit in digitaler Form zur Verfügung, bzw. kann über D/A-Umsetzer direkt ausgegeben werden.

In Abb. 11 ist das Blockschaltbild eines derartigen hybriden verallgemeinerten Integrierers dargestellt.

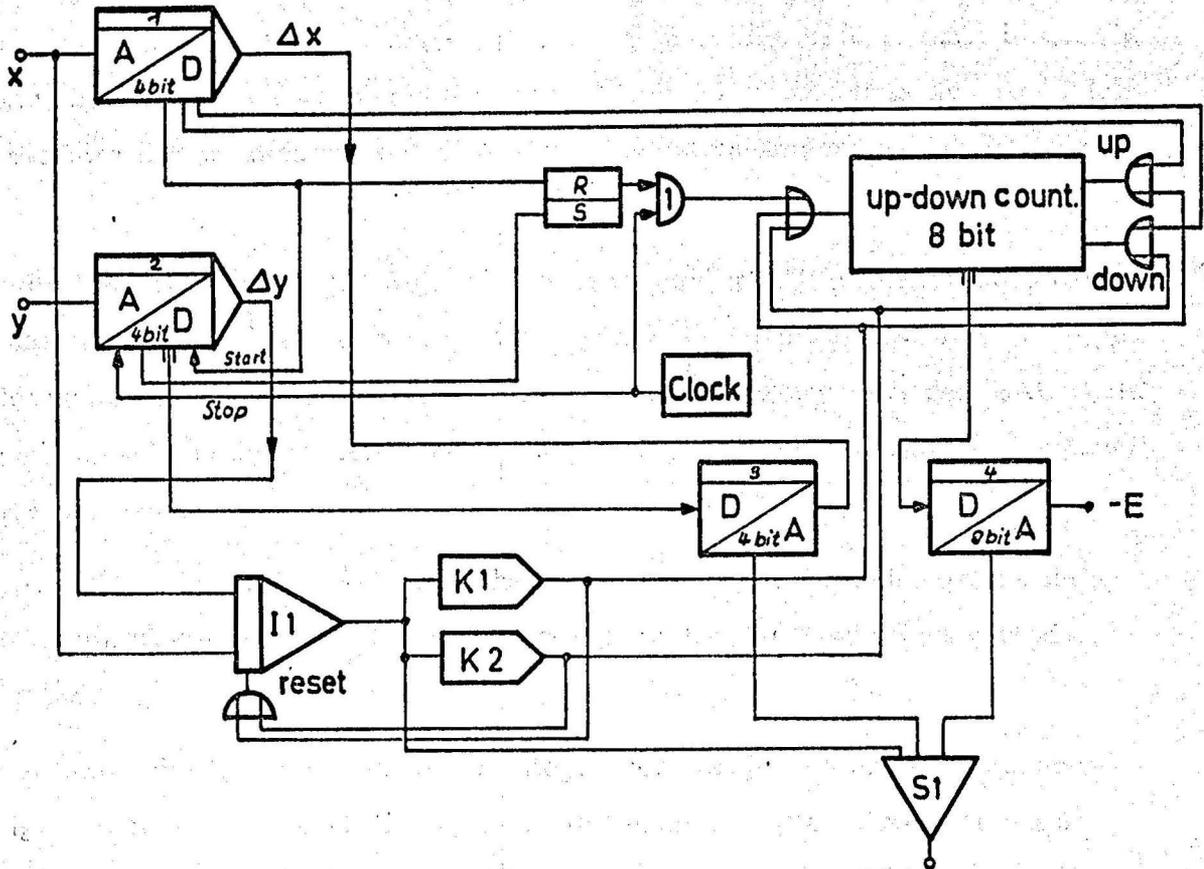


Abb.11 Prinzipschaltbild des generalisierten Integrierers

In den A/D-Umsetzern 1 und 2 erfolgt eine äquidistante Unterteilung der Eingangssignale x und y in die Stützstellenwerte x_n und y_i . Gleichzeitig werden in den A/D-Umsetzern 1 und 2 die analogen Differenzspannungen Δx und Δy gebildet. Für den Ablauf der Integration nach Gl. 20 kann der x -ADU gewissermaßen als Steuerteil angesehen werden.

An jeder Stützstelle x_n wird die Stellung des y -ADU abgefragt und über den Taktgenerator die entsprechende Anzahl der unter der Kurve $y = f(x)$ liegenden Inkremente in den Zähler Z1 eingezählt. Nach erfolgtem Zählvorgang wird der Taktgenerator abgeschaltet. Der Integrierer I1, der das Integral $\int_y^{y+1} \Delta y dx$ bildet, arbeitet unabhängig von der Steuerung durch den x -ADU. Erreicht dieser Integrierer den Wert eines Flächeninkrementses F_1 , so gibt er über die Komparatoren $k1$ bzw. $k2$ einen Taktimpuls in den Zähler Z1 und setzt sich selbst zurück. Die Komparatoren beinhalten hierbei gleichzeitig die Information über das Signum des Flächeninkrementses. Durch Verwendung eines Vor-Rückwärtszählers (Z1) kann dieses Signum und das Signum der 1. Ableitung von x direkt im Zählvorgang mit verar-

beitet werden. Der D/A-Umsetzer 3 mit der variablen Referenz Δx bildet die lineare Interpolation zwischen den Stützstellen x_n . Das Ergebnis im Vor-Rückwärtszähler Z1 wird durch den D/A-Umsetzer 4 in einem Analogwert umgesetzt.

Für die Integration nach der Zeit t vereinfacht sich der allgemeine Integrierer I_1 für das Integral $\int_v^{v+1} \Delta y dx$ in einen Integrierer, der das Zeitintegral $\int_v^{v+1} \Delta y dt$ bildet und einen zweiten, der eine zeitproportionale Spannung für den DAU 3 liefert. Ebenso kann der x -ADU durch einen Taktgeber, der die Stützstellenpunkte markiert, ersetzt werden.

Ein derartiger hybrider Integrierer hat bereits eine ca. 10 fach größere Haltezeit als ein vergleichbarer analoger Integrierer, bei 10 äquidistant verteilten Stützpunkten.

Der Aufwand des hybriden zeitlichen Integrierers ist jedoch nur dann gerechtfertigt, wenn hierbei wesentlich bessere Halteeigenschaften als bei einem analogen Integrierer erreicht werden. Eine unbegrenzte Haltezeit kann erreicht werden, wenn das Ergebnis der analogen Integrierer ebenfalls digital gespeichert werden kann.

Zu Beginn der Haltephase werden die Ergebnisse des Integrals $\int_v^{v+1} \Delta y dt$ und des DAU 3 addiert und mit 4 BITs umgesetzt. Hierzu kann der vorhandene x -ADU verwendet werden, da er bei der Integration nach der Zeit keine weitere Aufgabe hat. Der bei dieser Umsetzung verbleibende analoge Rest wird anschließend im y -ADU umgesetzt. Das Ergebnis des y -ADU, in dem ein Inkrement mit einer Auflösung von 4 BITs dargestellt wird, wird durch einen getrennten Zähler abgefragt und gespeichert, damit das ursprüngliche Ergebnis des y -ADU erhalten bleibt. Die Ausgabe erfolgt über einen 4 BIT-DAU.

Dieser Vorgang der zweifachen Umsetzung hat den Vorteil, daß außer zwei Zählern und 4 D/A-Schaltern keine weiteren Elemente für unbegrenztes Halten benötigt werden.

9. Technische Realisierung der Komponenten

Die hier beschriebenen Komponenten zur Darstellung nichtlinearer Rechenoperationen lassen sich sehr einfach aus Standardelementen aufbauen. Zu diesen Standardelementen zählen die A/D-Umsetzer (3 Bits) mit den zugehörigen D/A-Umsetzern zur Differenzbildung, die analogen Multiplizierer und die D/A-Umsetzer zur Reihenentwicklung. Bis auf diese funktionsbewertenden D/A-Umsetzer sind alle Elemente gleichartig aufgebaut und können daher für die verschiedenen Rechenoperationen untereinander ausgetauscht werden. Die D/A-Umsetzer dagegen müssen in ihren Bewertungswiderständen und dem Steuerwerk der jeweiligen Rechenoperation angepaßt werden.

A/D-Umsetzung mit Differenzbildung

Für den zur Erzeugung des hybriden Codes $x = x_D + \Delta x$ benötigten Umsetzer ergibt sich die folgende Alternative:

1. Parallele und damit sehr schnelle D/A-Umsetzung.

Da nur 6 Stützstellen zu erfassen sind, erfordert dies lediglich 5 parallele Komparatoren. Hierbei muß dann allerdings die analoge Differenz Δx in einem gesonderten D/A-Umsetzer erzeugt werden.

2. A/D-Umsetzung mit reversiblen Zähler.

Dies erfordert den geringsten Aufwand, da die Differenzbildung mit in den Umsetzer einbezogen werden kann.

Es ist bereits mehrfach darauf hingewiesen worden, daß das Verfahren der Reihenentwicklung mit einem hybriden Code zeitliche Umsetzfehler zum größten Teil interpoliert. Die parallele Umsetzung ist daher dem Fall 2 nur in der Sprungantwort überlegen.

D/A-Umsetzung

Jedes Glied der Reihe muß in den D/A-Umsetzern mit der vollen Rechengenauigkeit gebildet werden, wobei die Genauigkeit durch die Toleranz der Bewertungswiderstände und durch den D/A-Schalter gegeben ist. Da nahezu alle Umsetzer multiplizierend sind, müssen die D/A-Schalter für variable Referenz dimensioniert werden. Die Genauigkeitsanforderungen an die D/A-Schalter werden von Feldeffekttransistoren einwandfrei erfüllt. Der Ansteueraufwand ist relativ gering,

störend sind lediglich die auftretenden Schaltspitzen und der Temperaturgang des "on"- Widerstandes. Beides läßt sich jedoch in weiten Grenzen kompensieren.

Die Schaltspitzen werden erheblich vermindert, wenn der Schalter schwimmend betrieben wird. Dadurch wird die an der Source des FET' s auftretende Schaltspitze niederohmig durch die Referenzquelle abgeleitet. Durch einen zweiten FET nach Masse, der invers zu FET 1 angesteuert wird, kann auch die am Drain auftretende Spitze nach Masse abgeleitet werden. Außerdem erhöht der FET 2 die Sperrdämpfung des Schalters bei variabler Referenz, da die Drain-Source Kapazität kurzgeschlossen ist. Die Schaltzeit dieser Schalter beträgt bei Verwendung niederohmiger Feldeffekttransistoren (ca. 30Ω "on" Widerstand, 10 V "pinch off" Spannung) maximal 100 ns.

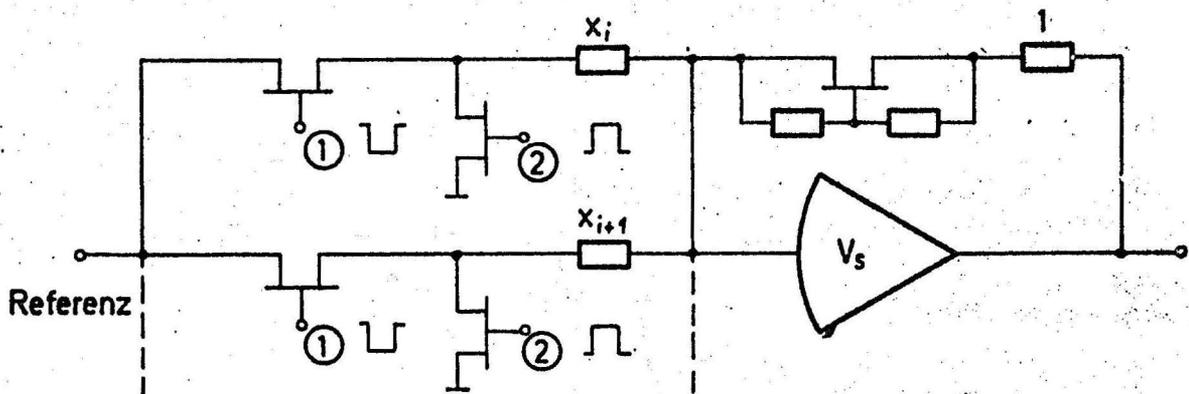


Abb. 12 Schwimmender FET- Schalter

Die Temperaturkompensation des "on"-Widerstandes erfolgt durch einen Kompensations-FET in der Rückführung des Operationsverstärkers.

In dieser Anordnung der D/A-Schalter werden für getrennte Referenzeingänge auch getrennte Schalter benötigt. Eine Anordnung, die vier Referenzeingänge gleichzeitig durchschaltet, wie sie z. B. beim Resolver benötigt wird, läßt sich hiernach nur mit vier Schaltern durchführen. Das bedeutet, daß für jede Stützstelle vier Widerstände und vier Schalter benötigt werden. Der Schalteraufwand vermindert sich, wenn die Schalter am Summenpunkt des Operationsverstärkers betrieben werden, da dann ein Schalter zur Durchschaltung mehrerer Referenzen verwendet werden kann. Wegen der bereits erwähnten Schaltspitzen ist dieser Fall jedoch indiskutabel, da keine ausreichende Kompensation erfolgen kann.

Abb. 13 zeigt eine in dieser Hinsicht bessere Lösung. Auch hier kann ein Schalter zur Durchschaltung mehrerer Referenzen verwendet werden. Der Vorteil ist jedoch, daß der Einfluß des "on"-Widerstandes der FET's bei z. B. 6 Schaltern in dieser Anordnung vernachlässigbar ist.

Damit kann erstens die Temperaturkompensation entfallen und zweitens können als Schalter Feldeffekttransistoren mit sehr niedriger "Pinch off" Spannung verwendet werden, da die Bedingung nach einem extrem niederohmigen FET nicht mehr besteht.

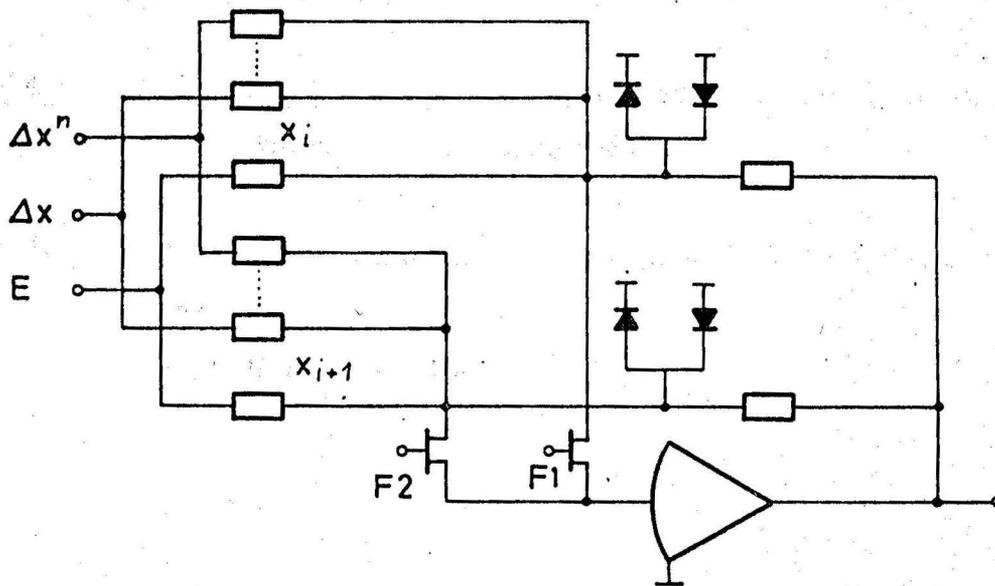


Abb. 13 FET-Schalter zur Durchschaltung mehrerer Referenzspannungen

Die niedrige "Pinch off" Spannung der FET's erlaubt sehr kleine Steuersignale, wodurch das Auftreten von Schaltspitzen sehr stark reduziert wird. Diese Anordnung erfordert pro Stützstelle einen zusätzlichen Widerstand. Nachteilig ist, daß keine Mehrfachausnutzung der Widerstände erfolgen kann, da jeweils nur 1 FET leitend sein kann.

10. Literaturverzeichnis

- [1] Giloi, W.; Sommer, H.: Pheno, a new concept of hybrid computing elements FICC 1967; AFIPS bd. 31
- [2] Fritz, R.: Eine Theorie der Digital/Analog und Analog/Digital-Umsetzung und ihre praktische Anwendung
Dissertation an der Technischen Universität Berlin 1970
- [3] Skramstad, H.K.: A Combined Analog/Digital Differential Analyzer
Proceedings of the Eastern Joint Computer
Conference 1959
- [4] Chapelle, W. E.: Hybrid Techniques für Analog Function Generation
Data Systems Design, June 1964
- [5] Brözel, R.: A Method of Analog Integration with Respect to a Dependent Variable.
Simulation, Febr. 1967

